

מבחן במבנה המחשב

אוניברסיטת תל-אביב

מדעי המחשב

מועד א' 18.4.2008

פרופ' נתן אינטרטור, פרופ' יהודה אפק ומר בוריס קורנפלד.

- משך המבחן: 3 שעות
- מותר השימוש בכל חומר עזר כתוב
- הנחיות מיוחדות: יש לענות על כל שאלות על גבי טופס המבחן. המחברות הן לטיוטה בלבד ולא תיבדקנה.
- המבחן כולל XX עמודים (כולל עמוד זה)

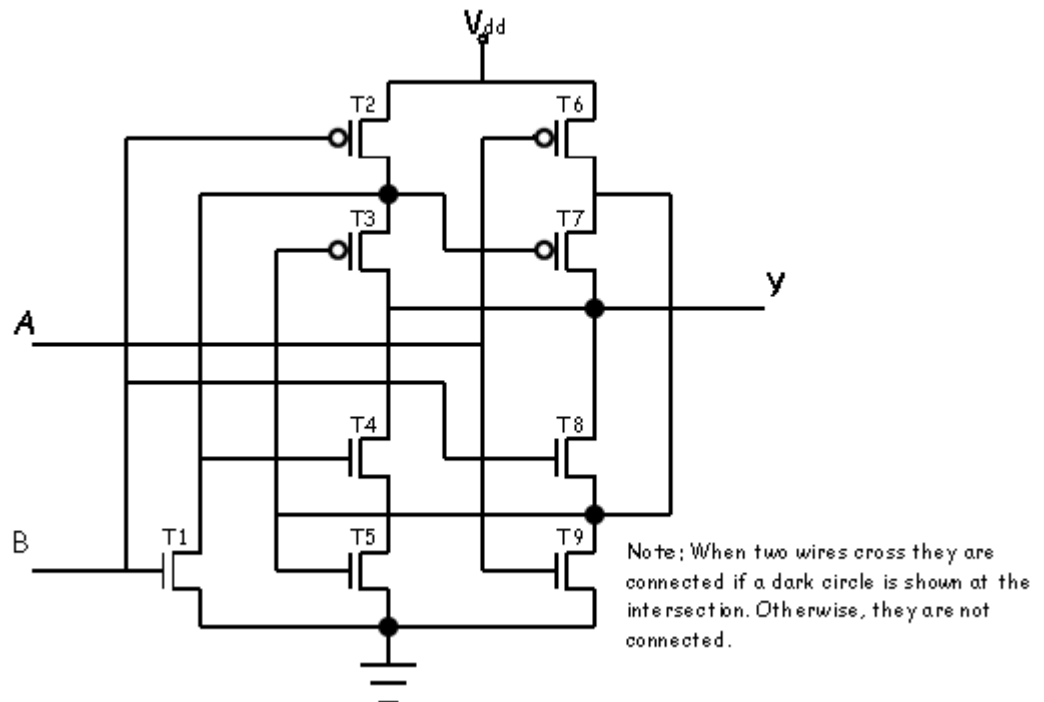
ניקוד :

שאלה	ציון
1	/20
2	/25
3	/35
4	/20
סה"כ	

בהצלחה!

שאלה 1 (20%):

נתון המעגל הבא, עם שתי כניסות A ו-B ויציאה Y.



א. (10%) בטבלה הבאה כתוב/כתבי לכל Transistor אם הוא 'ח' = מחבר (מקצר, כלומר מעביר זרם בין drain ל-source) או 'נ' = מנתק (כלומר – לא מעביר זרם).

A	B	T1	T2	T3	T4	T5	T6	T7	T8	T9
0	0	נ	ח	נ	ח	ח	ח	נ	נ	נ
0	1	ח	נ	נ	נ	ח	ח	ח	ח	נ
1	0	נ	ח	ח	ח	נ	נ	נ	נ	ח
1	1	ח	נ	ח	נ	נ	נ	ח	ח	ח

רמז: שיסומי לב, נקודה מסוימת במעגל שווה להופכי של B ונקודה אחרת להופכי של A.

הסבר מדוע מצב טרנזיסטור T3 ומצב טרנזיסטור T4 הוא כפי שסימנת:

ב. (7%) מלא את טבלת האמת של המעגל. לפחות לכניסה אחת הסבר איך היא התקבלה.

שימוס לב כל פעם אחד מזוגות בטרנזיסטורים (2, 3), (4, 5), (6, 7), (8, 9) קובע את ערך היציאה Y.

A	B	היציאה Y
0	0	0
0	1	1
1	0	1
1	1	0

ג. (3%) איזה פונקציה לוגית זה מיצג? XOR

ב. שאלה 2 (20%)

בזמן הטענת מכולות על אונייה נשקלת כל מכולה.
 באם המשקל מעל 4000 ק"ג, המכולה נפסלת.
 באם המשקל בין 3000 ק"ג ל- 4000 ק"ג, הלקוח משלם קנס.
 המשקל המקסימאלי הוא 4095 ק"ג בדיוק של אחד ק"ג.

א. (5%) כמה ביטים נדרשים לייצוג המשקל בצורה בינארית?

ב. (10%) תכנן מערכת המקבלת את המשקל הדיגיטלי בצורה טורית, כלומר בכל מחזור שעון המערכת מקבלת ביט אחד ממשקל החבילה. כאשר כל ביטי המשקל (מספר ביטים הנ"ל חושב בסעיף א') הוזנו המערכת מקבלת כקלט סיגנל שמידע אותה על כך.
 המערכת מדליקה נורה במידה והמשקל עולה על המקסימלי, סופרת את מספר המכולות המועלות על האוניה וכן סופרת את מספר המכולות שהועלו ומשקלם מעל 3000 ק"ג.
 אפשר להשתמש בכל הרכיבים שנלמדו בכיתה.

ג. (5%) ברשותך משקל אנלוגי המוציא מתח של 0-10 וולט עבור משקל בן 0 ל 4095 ק"ג.
 ברשותך ממיר אנלוגי לדיגיטלי בן 24 ביטים המקבל כניסת מתח בין 0 ל- 20 וולט.
 כיצד תשתמש בממיר, נמק.
 זכרו שאתם נדרשים לדיוק של ק"ג אחד.

פיתרון בסוף הבחינה

שאלה 4 (35%) : Pipeline

הנח מעבד MIPS עם FORWARDING כפי שנלמד בהרצאות ובהתאם לשרטוט המצורף.

יש להוסיף למעבד ה-MIPS פקודה חדשה:

bmeqr – branch if memory value equals register value
 bmeqr r1, r2, imm ; if (mem[r1] = r2) then PC = PC + 4 + imm;

כלומר, אם התוכן של הזכרון בכתובת שנמצאת ברגיסטר r1 שווה לתוכן של רגיסטר r2 אז הפקודה הבאה שמתבצעת היא כמו שמצוין בכתובת, PC + 4 + imm.

שימו לב!!!

בפתרון שהנכם מציעים:

- אין להוסיף שלבים נוספים ל-PIPELINE.
- זמן מחזור השעון במימוש החדש אמור להיות קטן ככל האפשר !
- שני השלבים שזמן הביצוע שלהם הוא הגדול ביותר (CRITICAL PATH) הינם **INSTRUCTION FETCH** ו- **MEMORY**.
- בצע בחומרה שינויים מינימליים ככל האפשר.
- אין לשנות את ה- HAZARD DETECTION UNIT.
- **שימו לב שלא יוצרו HAZARD-ים** (STRUCTURAL, DATA) חדשים בעקבות הוספת הפקודה החדשה (מעבר ל-hazard-ים הקשורים בפקודה החדשה עצמה).
- לזיכרון הפקודות קיים ערוץ גישה (PORT) יחיד (אין להוסיף ערוצי גישה נוספים)
- לזיכרון הנתונים קיים ערוץ גישה (PORT) יחיד (אין להוסיף ערוצי גישה נוספים)

א. (2%) הצע קידוד לפקודת bmeqr המתאים ל-MIPS : טיפוס, חלוקה לשדות ותפקידם.

הפקודה bmeqr היא מטיפוס _____ I _____ (J או I או R)

לכל שדה בפקודה יש לפרט את שמו ואורכו ולתת תאור קצר של תפקידו.

שם השדה

| opcode | _____

אורך השדה

| 6 | _____

תפקיד השדה

| bmeqr | _____

ב. (15%) פרט על גבי השרטוט המצורף את החומרה הנוספת (רכיבים, קווי בקרה, קווי נתונים) הנדרשת למימוש הפקודה.

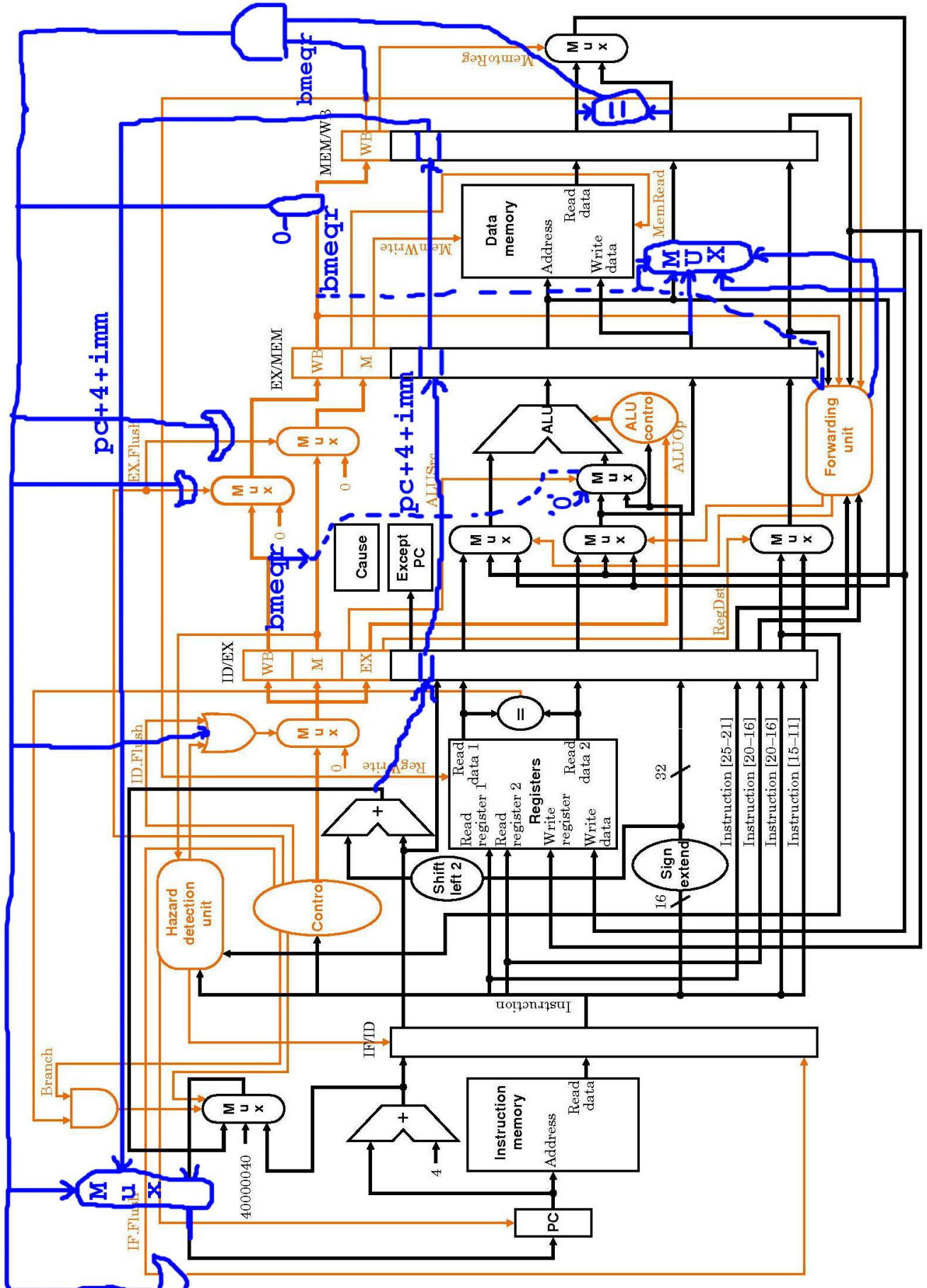
נסה להסתפק בשינויים קלים ככל האפשר ל-DATAPATH של MIPS.

אם נדרשים שינויים ביחידות קיימות ב-MIPS תאר את השינויים לפי שלבי PIPELINE : WB, IF, ID, EX, MEM

הקפד לא לפגוע בפונקציונליות של הפקודות הקיימות.

תאר ופרט מילולית את השינויים בסעיפים 1, 2, ו-3.

קימים מספר פתרונות. אחד מתואר כאן. ניתן ניקוד מלא גם על מילוי 80% או 90% מחלקי הפתרון. ניקוד מלא ניתן למי שהוסיף חלקים עיקריים.



מחברת מספר: _____

מס' ת.ז.: _____

1. רכיבים: שם, מיקום ותפקיד כל רכיב שהוספת, בקיצור !

כאן עליכם לתאר ולפרט את הרכיבים שהוספתם בציור.

ב 2. קווי נתונים (מ... אל... תוכן.....)

וכאן עליכם לפרט את קווי הנתונים מהציור

ב 3. תאר את תפקיד קווי הבקרה החדשים/ששוננו בטבלה :

שם קו הבקרה	תוצאה כאשר קו הבקרה = 0	תוצאה כאשר קו הבקרה = 1	תאור כללי של תפקידו
bmeqr			

ב 4. (5%) בפתרון שהצעת, תאר בעיות חדשות שנוצרות (אם בכלל) בין פקודת bmeqr לבין פקודות אחרות של MIPS. הסבר ונמק את תשובתך.

1. lw לפני bmeqr דורש forwarding, או להכניס nop בניהם במקרה ו lw כותב ערך חדש לr1.

2. sw אחרי bmeqr דורש להכניס nop בניהם. כדי שאם ה bmeqr ילקח הזיכרון לא שונה.

3. branch hazar כאשר הקפיצה מתקיימת – לכן מעגלי Flushing

ב 5.5 (5%) בפתרון שהצעת, תאר את השינויים ב - FORWARDING UNIT (אם קיימים כאלו).

כמו בציור למקרה של lw לפני bmeqr, יש לקדם את הערך שנקרא מהזיכרון ל r2. אם lw מעדכן את

RI אז או שצריך להוסיף מעגל mux לצורכי forwarding לכניסת ה address של זיכרון הנתונים, או שנכניס nop

בניהם.

ב 6.6 (5%) בפתרון שהצעת, מה מספר מחזורי השעון שבהם ה - PIPELINE מושהה (stalls) ובאיזה מקרים? אם עובדים ללא branch delays slots. **נמק!**

1 כאשר באה פקודת SW אחרי bmeqr.

ב 7.7 (5%) האם ניתן להפעיל את שיטת ה - branch delays slots על מנת ליעל את התוכניות שמשמשות בפקודת bmeqr. אם כן, כמה slots כאלה ניתן לתת? האם זה יעיל במקרה הנוכחי? הסבר ונמק את תשובתך.

כן. 4

שאלה 5 (20%):

רוצים לבנות זיכרון מטמון למחשב אשר גודל הזיכרון הראשי שלו 2^{32} . זיכרון המטמון מכיל סה"כ 1024 בתים. גודל כל בלוק הוא 8 בתים.

א. (6%) מה גודל ה-TAG בכל אחד מהמקרים הבאים? (יש לפרט את החישוב המלא ולנמק)
 1. זיכרון מטמון מסוג direct map

22

2. זיכרון מטמון מסוג 2-way associative

23

3. זיכרון מטמון מסוג fully associative

29

ב. (14%) כעת נתון כי גודל זיכרון המטמון הוא 32 בתים וגודל כל בלוק הוא 8 בתים. הפקודות LB, LH, ו-LW טוענות בית אחד, 2 בתים ו-4 בתים מהזיכרון. נתונה סדרת הגישות הבאות לזיכרון, הכתובות נתונות בבסיס 16, הקסדצימלי (Hexadecimal). נתון כי זיכרון המטמון ריק עם תחילת ריצת הקוד. עבור כ"א משלושת סוגי זיכרון המטמון מלא את הטבלאות בדף הבא. זיכרונות המטמון fully associative ו-2-way associative משתמשים ב-LRU כדי להוציא בלוקים.

מתבצעת סדרת הגישות הבאות לזיכרון.

כתובת ב Hexadecimal	פקודה	
0x07	LB	1
0x10	LW	2
0x32	LH	3
0x15	LB	4
0x20	LW	5
0x24	LW	6
0x01	LH	7
0x16	LW	8

רשום עבור כל אחד מהזיכרונות מה הן כתובות הבתים בכל אחד מהבלוקים לאחר סיום כל גישה. רשום האם הגישה גורמת ל Miss או Hit.

הנח כי זיכרון מטמון fully associative ו-2-way associative מתמלאים לפי סדר השורות/ways. בטבלאות מאותחלות למצב הזיכרונות לאחר גישות מספר 1 ומספר 2 שגרמו ל-Miss בשלושת הזיכרונות.

direct map מטמון מסוג

8	7	6	5	4	3	2	1	שורה בזיכרון
0-7	0-7	20-27	20-27	0-7	0-7	0x00-0x07	0x00-0x07	0
						-	-	1
10-17	10-17	10-17	10-17	10-17	30-37	0x10-0x17	-	2
18-1F						-	-	3
M	M	H	M	M	M	Miss	Miss	Hit/ Miss

2-way associative מטמון מסוג

8	7	6	5	4	3	2	1	שורה בזיכרון
10-17	20-27	20-27	20-27	30-37	30-37	0x00-0x07	0x00-0x07	Way 1 0
18-1F						-	-	Way 1 1
0-7	0-7	10-17	10-17	10-17	10-17	0x10-0x17	-	Way 2 0
						-	-	Way 2 1
M	M	H	M	H	M	Miss	Miss	Hit/ Miss

fully associative מטמון מסוג

8	7	6	5	4	3	2	1	שורה בזיכרון
0-7	0-7	0-7	0-7	0-7	0-7	0x00-0x07	0x00-0x07	0
10-17	10-17	10-17	10-17	10-17	10-17	0x10-0x17	-	1
18-1F	30-37	30-37	30-37	30-37	30-37	-	-	2
20-27	20-27	20-27	20-27			-	-	3
M	H	H	M	H	M	Miss	Miss	Hit/ Miss

