

4 7 מחברות מספר:

מס' ת.ז. : 322008 479

ב. ממש את המודול הניל כרכיב בשפת VHDL. הנה כי הארכיטקטורות של רכיבי ה-Four-bit-adder ו-MUX16X4 ממומשות, להלן הגדרות entities שלהם:

```
ENTITY FourBitAdder IS
    PORT (a, b: IN std_logic_vector(3 downto 0);
          Cin : IN std_logic;
          sum: OUT std_logic_vector (3 downto 0);
          Cout, overflow: OUT std_logic);
    END FourBitAdder;

ENTITY MUX16X4 IS
    PORT (i0, i1, i2, i3: IN std_logic_vector(3 downto 0);
          select: IN std_logic_vector(1 downto 0);
          selected: OUT std_logic_vector (3 downto 0));
    END MUX16X4;
```

Entity Maximum is
port (a, b, c : in bit_vector(3 downto 0);
 m: out bit_vector(3 downto 0));
end Maximum;
architecture structure of Maximum is
Signal c1, c2, c3, v1, v2: bit; Q: bit_vector(1 to 0); *cin'cs 1.5 p'II'*
begin
 F1: FourBitAdder (a, not b, '1', Temp1, c1, v1);
 F2: FourBitAdder (b, not c, '1', Temp2, c2, v2);
 F3: FourBitAdder(c, not a, '1', Temp3, c3, v3);
 M(c): Mux16x4(Temp, a, b, c, Q, m);
 Q(0) \leftarrow c1 and (not c2);
 Q(1) \leftarrow (not c1) and c3;
end structure;

5 2 מחברת מספר:

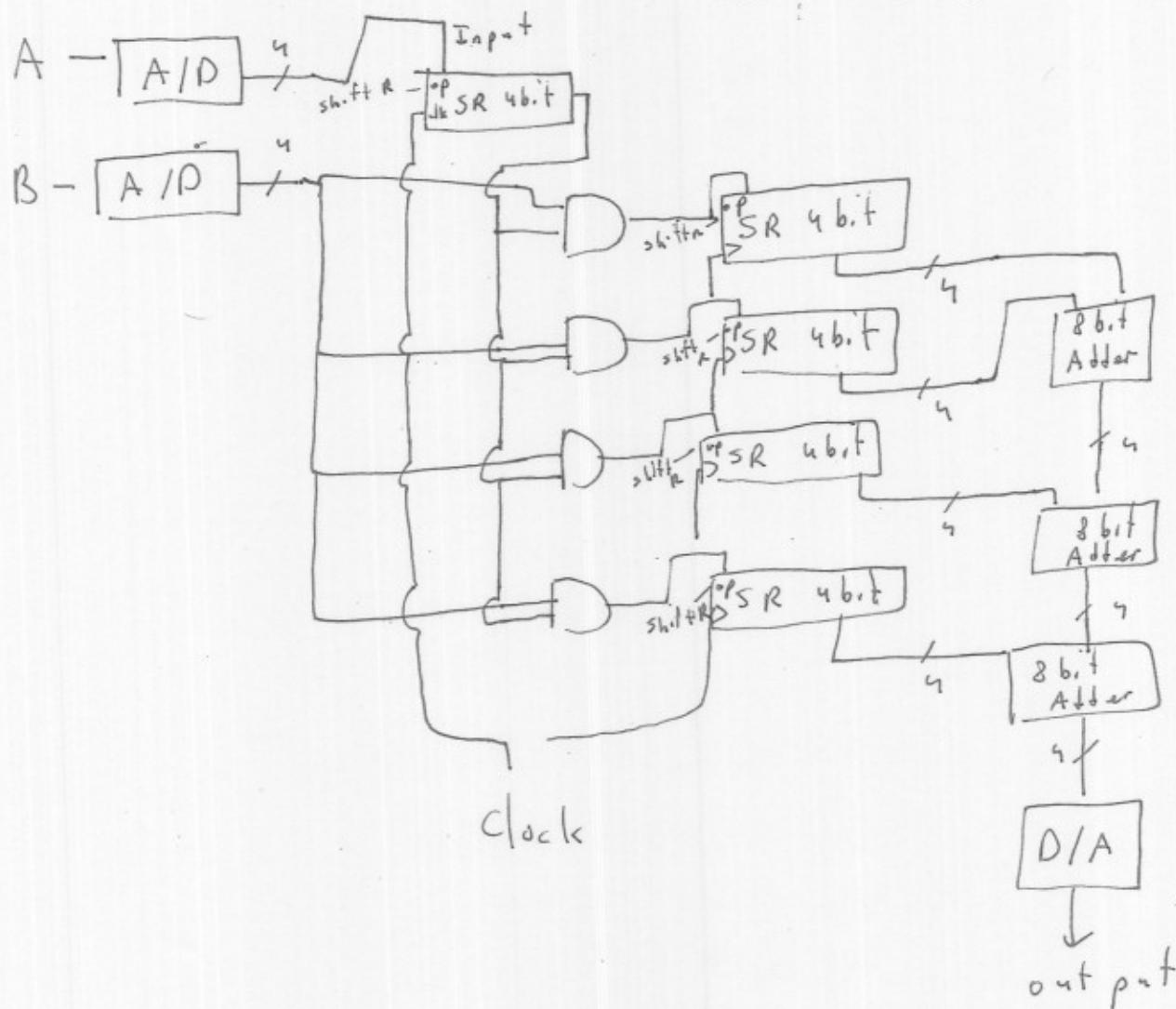
מספר ת.ז. : 02 5332990

שאלה 3 (15%)

תיכון מעגל המקביל בקטל שני ערכים אנגולריים בין 0 ל- π ברזולציה של 16 רמות, הפולט סיגナル אנלוגי שהוא מכפלת שני הקלטים, גם הוא באוטה רזולציה. לمعالג גם כנישת שעון.

לஆgori הווה shift-left ו גם shift-right בכמה ובדלים כרצונך, מחרבי-8-בית, ייחידות FF, שערים לוגיים, ממיר analog-to-digital A/D (digital-to-analog) D/A.

על המעל להיות פשוט ככל הנירנו.



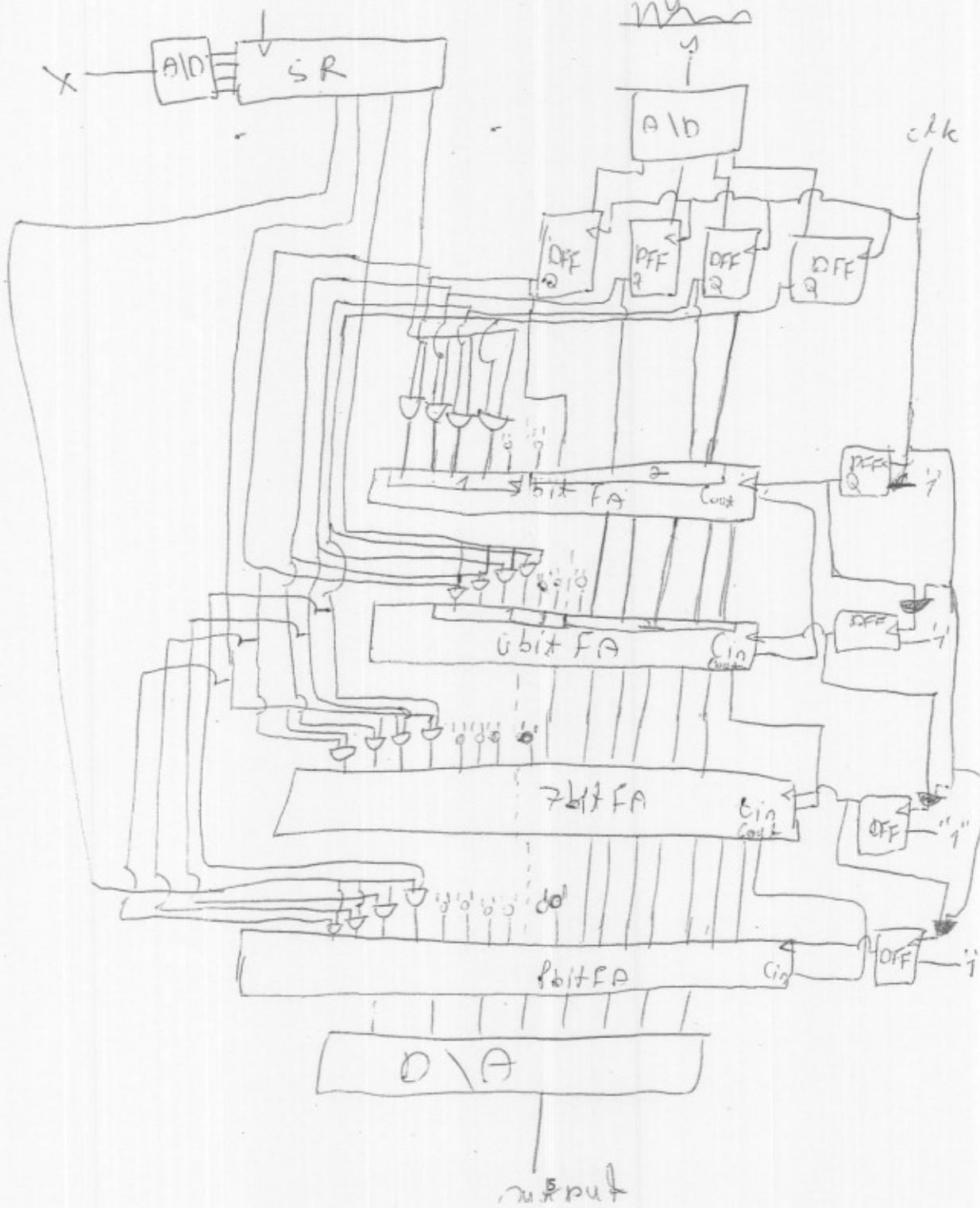
ס)vr A ו B ב מינימום נספחים אונט \rightarrow שמי $\frac{1}{2} \Delta x^2$
ב-טרכט מינימום נספחים אונט \rightarrow שמי $\frac{1}{2} \Delta x^2$

卷之三

תגן מוגל המשקבל בקהל שני עריכים אנגלזיות בין 0 ל-1 ברזולציה של 16 ורמות הפלט סיגנל אנלוגי שהוא מוגבל שני הקלטים, גם הוא באותה רזולציה.
למוגל גם כניסה שער.

לஆנ்டְ‍යואָדְ‍යַסְּ (analog-to-digital) A/D, וטְ‍යַאָדְ‍යַסְּ-לְ‍אָנְ‍גְּלִיךְ (digital-to-analog) D/A, מחריבים shift-right וshift-left, ומחריבים כבמות ובגדלים (crcזוקן), מחברי-8-ביט, ייחידות FF, שערים לוגיים, לרשותך: עליך למשוך את המכפלת באופן סדרתי, כך שעריך המכפלת יחוושב תוך ארבעה מחזורי שעון.

על המעל להיות פשוט ככל הנימין.



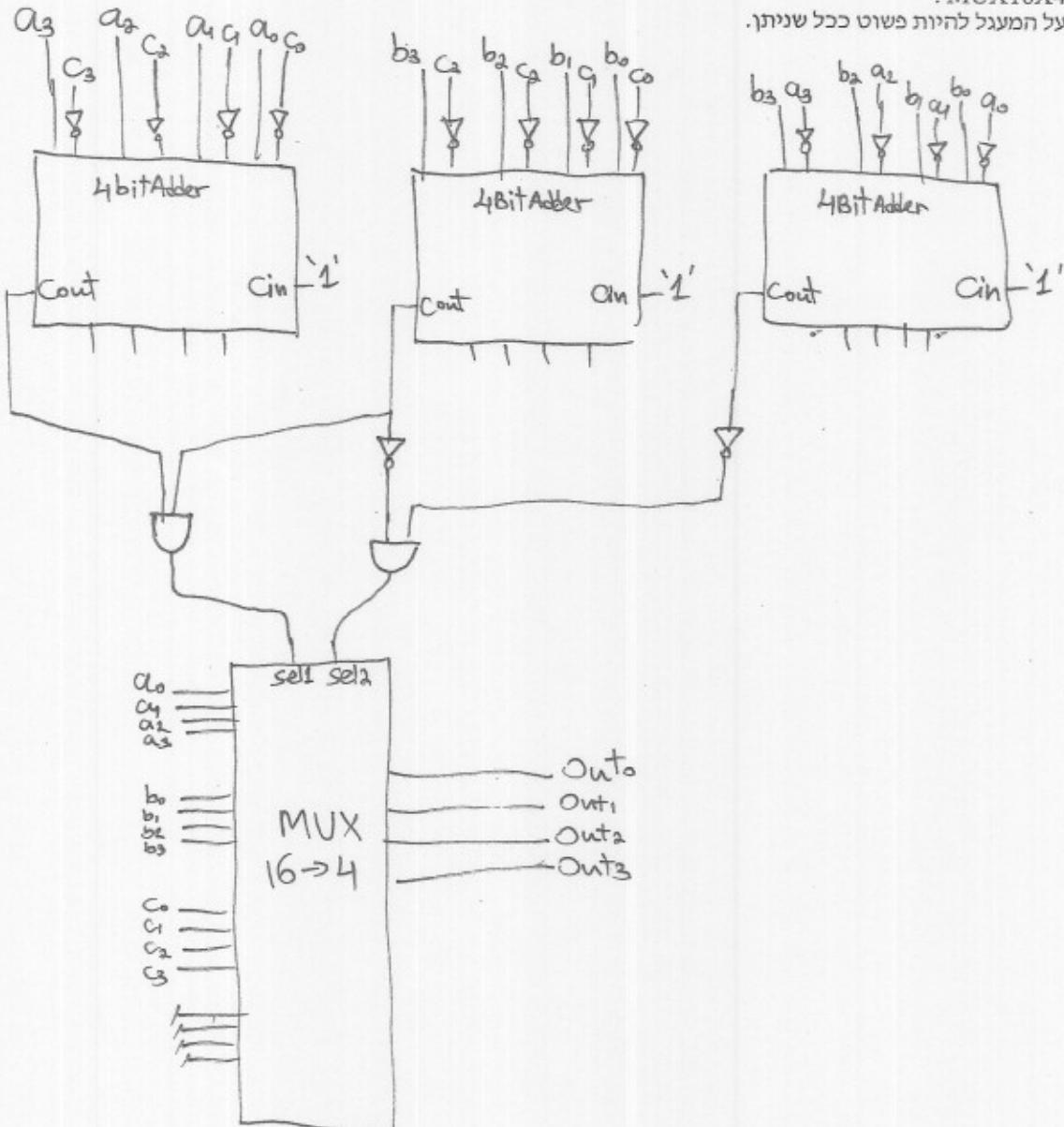
3 34 מחברת מס' :

מס' ת.ז. : 037419579

שאלה 2 (20%)

א. תכון מעגל המקבל שלושה מספרים בני 4 ביט (unsigned) ומוציא כפלט את המספר הגדול מביניהם. למעגל 12 קווים קלט ו-4 קווים פלט.

לרשוטך:
יחידות Four-bit-adder בעלי יציאות carry ו-overflow, שערים לוגיים, ויחידה אוחט מסוג MUX16X4 על המעגל להיות פשוט ככל שניתן.



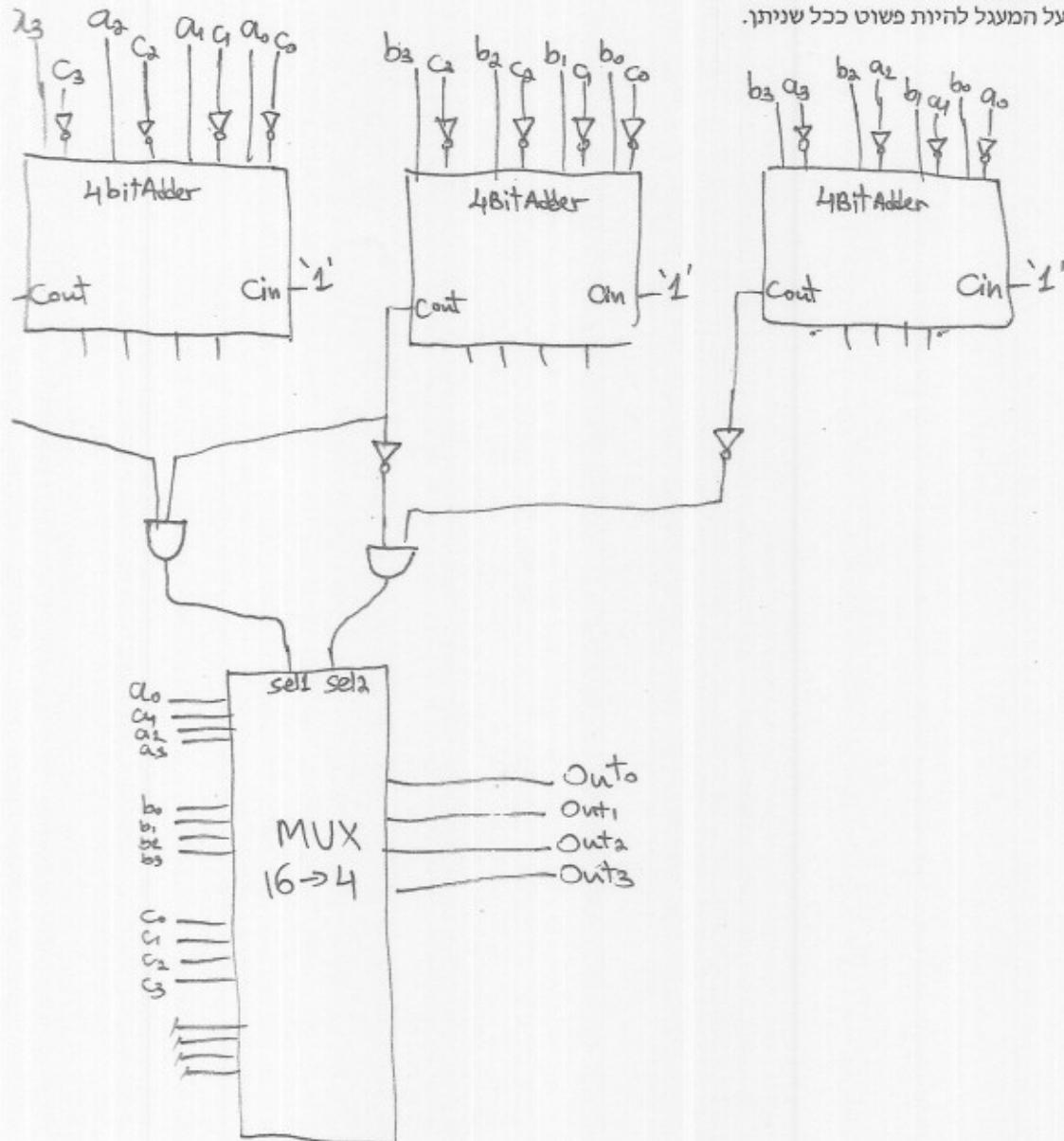
3 34 מחברת מספר:

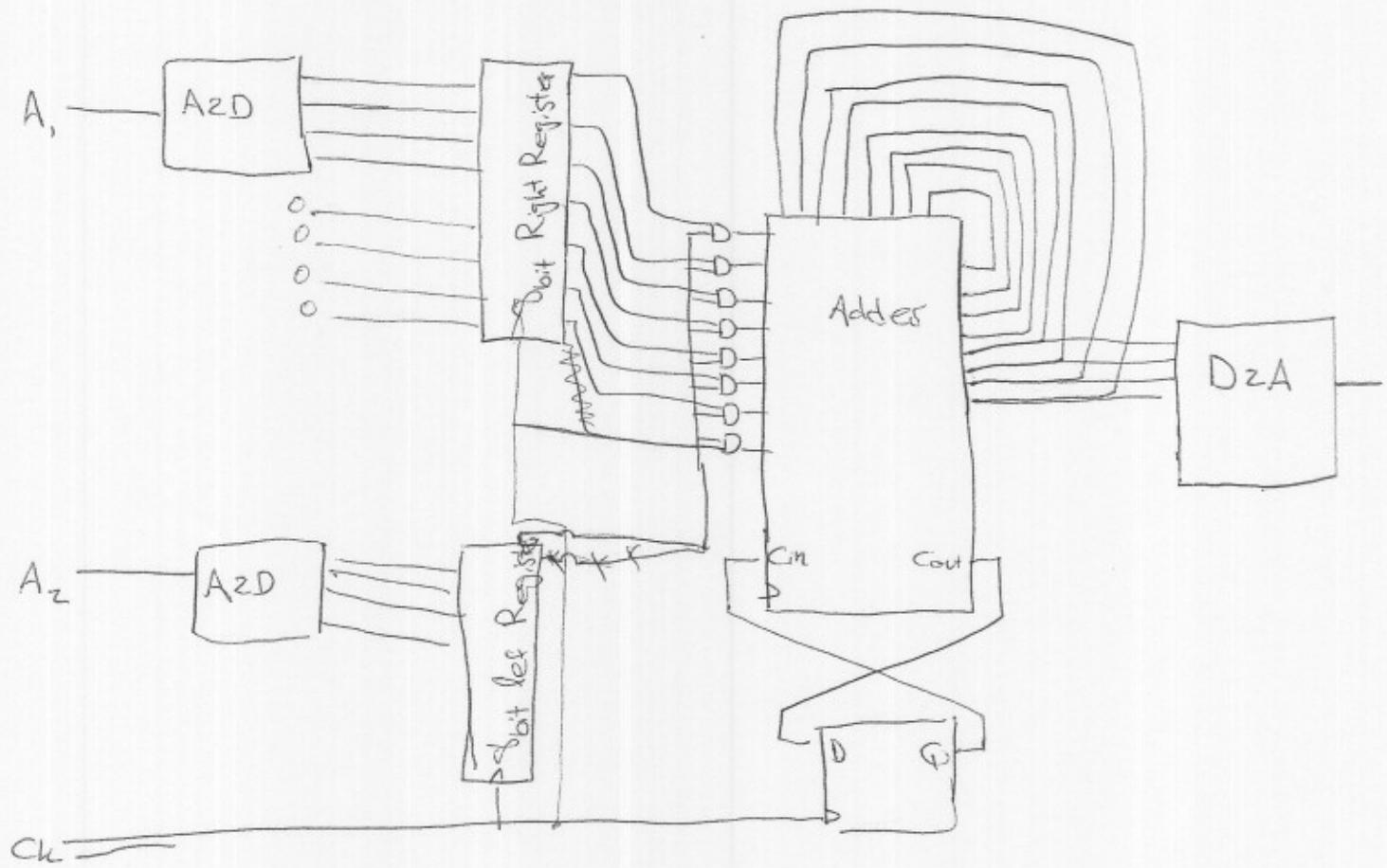
מספר ת.ז. : 0374195701

שאלה 2 (20%)

א. תכון מעגל המתקבל שלושה מספרים בני 4 ביט (unsigned) ומווץיא כפלט את המספר הגדול מביניהם. למעגל 12 קווים קלט ו-4 קווים פלט.

הרשوتן: **וחידות Four-bit-adder** בעלי יציאות carry ו-overflow, שערים לוגיים, ויחידה אחת מסוג **MUX16X4**. על המעגל להיות פשוט ככל שניתן.





Digit per bit

Digital number = 0 1010

(right most left/right) Shift from right most bit
Input will be $C_n + \text{old MSB} \sim 1010 + 1$ assign 11011 open Adder a part
in right part, right most left as 1010 0000 and add (Shift a
right MSB (1+1010) Right reg a part → 11011 take
from right part MSB D2A a part 11011 0000 11011 0000
LSB if MSB → n part move bit value, shift all part and unit

שאלה 2 (20%)

א. תכון מנגל הנקבל שלושה מספרים בני 4 ביט (signed) ומוציא כפלט את המספר הגדול מביניהם.

למנגל 12 קווי קלט ו-4 קווי פלט.

הרשון:

ייחיות Four-bit-adder בעלי יציאות carry וoverflow, שערים לוגיים, ויחידה אחת מסוג

MUX16X4

על המנגל להיות פשוט ככל שניתן.

$$\begin{aligned}
 & \text{רשותן: } \\
 & \text{לעומת } A \geq B \text{ נקבע: } \\
 & \text{carry} \Rightarrow (A+B+1) \text{ או } A \geq B \\
 & A \geq C \quad A \geq B \quad A \geq C \\
 & \text{רשותן: } C = 1 \quad B = 1 \quad A = 1
 \end{aligned}$$

